

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08162617 A**

(43) Date of publication of application: **21.06.96**

(51) Int. Cl.

H01L 27/108
H01L 21/8242
H01L 27/04
H01L 21/822

(21) Application number: **06298679**

(71) Applicant: **NEC CORP**

(22) Date of filing: **01.12.94**

(72) Inventor: **SONE SHUJI**

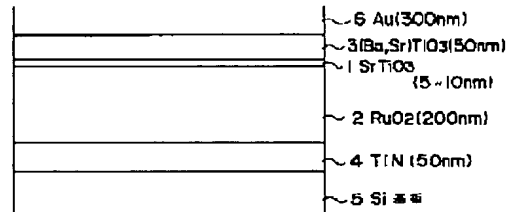
(54) THIN FILM CAPACITOR AND ITS MANUFACTURE

(57) Abstract:

PURPOSE: To restrain Ru from mixing with an oxide dielectric thin film, by forming an oxide dielectric layer which lacks oxygen on a lower electrode, and laminating the oxide dielectric thin film on the oxide dielectric layer.

CONSTITUTION: A barrier layer 4 is formed on an Si substrate 5 by a sputtering method. After an oxide dielectric layer 1 is formed on the lower electrode 2 by oxygen partial pressure heat CVD, oxygen plasma spraying is performed in order to decrease the oxygen concentration in the layer 1. An oxide dielectric thin film 3 is formed on the oxide dielectric layer 1 which lacks oxygen. An upper electrode 6 is formed on the oxide dielectric thin film 3. Thereby Ru can be restrained from mixing with the oxide dielectric thin film 3.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-162617

(43) 公開日 平成8年(1996)6月21日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/108
21/8242
27/04

7735-4M

H 0 1 L 27/ 10
27/ 04

6 5 1

C

審査請求 有 請求項の数 3 O L (全 4 頁) 最終頁に続く

(21) 出願番号

特願平6-298679

(22) 出願日

平成6年(1994)12月1日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 曾祢 修次

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 薄膜キャパシタ及びその製造方法

(57) 【要約】

【目的】 RuO₂ を下部電極に用いた場合においても誘電率が高くリーク電流を低くすること。

【構成】 下部電極であるRuO₂ 上に酸素が欠乏した酸化物誘電体層を設け、この上に酸化物誘電体薄膜を積層する。

【効果】 RuO₂ を下部電極に用いた場合においても誘電率が高くリーク電流の低い薄膜キャパシタが得れる。



【特許請求の範囲】

【請求項1】 下部電極上に設けた酸素が欠乏した酸化物誘電体層と、該酸化物誘電体層上に積層した酸化物誘電体薄膜とを含むことを特徴とする薄膜キャパシタ。

【請求項2】 Si基板と、該Si基板上に設けたバリア層と、該バリア層上に設けた下部電極と、該下部電極上に設けた酸素が欠乏した酸化物誘電体層と、該酸化物誘電体層上に設けた酸化物誘電体薄膜と、該酸化物誘電体薄膜上に設けた上部電極とを有していることを特徴とする薄膜キャパシタ。

【請求項3】 薄膜キャパシタの製造方法において、下部電極上に酸素分圧の低い熱CVD法により酸素が欠乏した薄い酸化物誘電体層を形成した後、上部電極を形成することを特徴とする薄膜キャパシタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜キャパシタ及びその製造方法に関するものである。

【0002】

【従来の技術】1Gビット以上の次世代高密度DRAM用の容量絶縁膜として、高誘電率、絶縁性、化学的安定性に優れたSrTiO₃、(Ba, Sr)TiO₃、(Pb, Zr)TiO₃等の酸化物強誘電体薄膜の開発が行われている。

【0003】一方、容量部の立体的面積拡大のため、サブミクロンオーダーでの加工が可能な下部電極材料の検討も重要な課題となっている。

【0004】RuO₂は室温で40μΩcmの低抵抗を有し、加えてO₂+CF₄プラズマによるドライエッチングが可能であり微細加工に適している（例えば、エス・サイトラ、ジャパニーズ・ジャーナル・オブ・アプライド・フィジクス、31巻、135頁、1992年（S. Saito et al., Jan. J. Appl. Phys. 31, 135, (1992)を参照）。

【0005】さらに、このRuO₂を下部電極として酸化物誘電体薄膜（(Ba, Sr)TiO₃）をスパッタ法により形成した検討も行われている（例えば、ケー・タケムラら、アプライド・フィジクス・レターズ、64巻、2967頁、1994年（K. Takemura et al., Applied Physics Letters, 64, 2967-2969, (1994)を参照）。

【0006】酸化物誘電体薄膜の成膜法としては、スパッタ法、CVD法、sol-gel等の方法があるが、特にCVD法はステップカバレジに優れ、スタック状電極上に均一に成膜することが可能である。また、通常の熱CVD法では成膜温度として600℃程度以上の高温が必要であるが、O₂をECRプラズマにより励起したECR-CVD法では450℃の低温成膜が可能であり、実際のLSIプロセスへの適用が有力視されている

（例えば、山口ら、第41回応用物理学関係連合講演会予稿集、410頁、1994年を参照）。

【0007】

【発明が解決しようとする課題】しかしながら、RuO₂上に酸化物誘電体薄膜を積層する場合、酸化物誘電体薄膜中にRuの混入が生じる。RuO₂はO₂と反応し揮発性の高いRuO₄を形成するため、特にECR-CVDのような多量の活性酸素を用いて酸化物誘電体薄膜を積層する場合、成膜初期にRuO₄が発生し結果としてRuが酸化物誘電体薄膜中に取り込まれてしまう。Ruが酸化物誘電体薄膜中に混入すると誘電特性、リーク電流特性が著しく悪化する。

【0008】本発明の目的は、下部電極であるRuO₂上に酸化物誘電体層を積層する場合に、酸化物誘電体薄膜中へのRuの混入を抑制することにある。

【0009】

【課題を解決するための手段】本発明によれば、下部電極上に設けた酸素が欠乏した酸化物誘電体層と、該酸化物誘電体層の上に積層した酸化物誘電体薄膜とを含むことを特徴とする薄膜キャパシタが得られる。

【0010】また、本発明によれば、Si基板と、該Si基板上に設けたバリア層と、該バリア層上に設けた下部電極と、該下部電極上に設けた酸素が欠乏した酸化物誘電体層と、該酸化物誘電体層上に設けた酸化物誘電体薄膜と、該酸化物誘電体薄膜上に設けた上部電極とを有していることを特徴とする薄膜キャパシタが得られる。

【0011】また、本発明によれば、下部電極上に酸素分圧の低い熱CVD法により酸素が欠乏した薄い酸化物誘電体層を形成した後、上部電極を形成することを特徴とする薄膜キャパシタの製造方法が得られる。

【0012】

【作用】下部電極（RuO₂）上の酸素が欠乏した酸化物誘電体層によりRuO₂の表面が安定化されるため、以降RuO₂とO₂の反応により生じるRuO₄の生成が抑制される。

【0013】したがって酸化物誘電体薄膜中へのRuの侵入が抑制される。結果として、RuO₂を下部電極に用いた場合においても誘電率が高くリーク電流の低い薄膜キャパシタが得れる。

【0014】

【実施例】以下、本発明の薄膜キャパシタ及びその製造方法の一実施例について、図面を参照しながら説明する。図1は本発明の実施例に関わる薄膜キャパシタの断面図である。

【0015】図1を参照して、薄膜キャパシタはSi基板5と、Si基板5上に設けたバリア層（TiN）4と、バリア層4上に設けた下部電極（RuO₂）2と、下部電極（RuO₂）2上に設けた酸素が欠乏した酸化物誘電体層（SrTiO₃）1と、この酸化物誘電体層1上に設けた酸化物誘電体薄膜（(Ba, Sr)TiO₃）と、

3) 3と、を酸化物誘電体薄膜 ($(\text{Ba}, \text{Sr})\text{TiO}_3$) 3上に設けた上部電極 (Au) 6とを有している。

【0016】Si基板5上にはスパッタ法によりTiN4を50nm、 RuO_2 3を200nm積層する。 RuO_2 2はキャパシタの下部電極、TiN4はSiと RuO_2 2との反応を防ぐバリア層である。

【0017】このウエハをCVD装置成膜室に導入し、600℃に加熱する。はじめに、 O_2 と RuO_2 2との反応を抑制するため、酸素分圧の低い(4.5Pa)熱CVD法により SrTiO_3 1を5~10nm積層する。成膜原料は、 $\text{Sr}(\text{DPM})_2$ 、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 、 O_2 で、キャリアガスはArである。原料温度及び流量は $\text{Sr}(\text{DPM})_2$ 190℃、70sccm、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 20℃、70sccm、 O_2 、70sccmである。堆積速度は0.8nm/minである。酸素分圧が低いため成膜された SrTiO_3 1中の酸素量は化学量論的組成よりも30%程度低い。

【0018】酸素が欠乏した酸化物誘電体層 (SrTiO_3) 1の形成の方法としては、化学量論的組成の SrTiO_3 1が得られる酸素分圧(37.5Pa)熱CVDで SrTiO_3 1を成膜した後、膜中のO濃度を減少させるため約5minの O_2 プラズマ照射(O_2 流量70sccm、プラズマパワー600W)を行うことでも同様な効果が得られる。続いてこの酸素が欠乏した SrTiO_3 1の上にElectron Cyclotron Resonance (ECR)-CVD法により成膜温度450℃で($\text{Ba}, \text{Sr})\text{TiO}_3$ 3を50nm積層する。ECRでは O_2 プラズマを用いて成膜している。Ba原料は $\text{Ba}(\text{DPM})_2$ 、SrとTiの原料は

【0019】原料温度及び流量は $\text{Ba}(\text{DPM})_2$ 150℃、70sccm、 $\text{Sr}(\text{DPM})_2$ 190℃、70sccm、 $\text{Ti}(\text{i-OC}_3\text{H}_7)_4$ 20℃、70sccm、 O_2 70sccmで、ECRプラズマパワーは6

00Wである。堆積速度は1nm/minである。成膜室圧力は1Paである。

【0020】その後、($\text{Ba}, \text{Sr})\text{TiO}_3$ 3上にスパッタ法によりAu6を300nm形成する。 RuO_2 2とAu6を電極として薄膜キャパシタの誘電率、リーク電流密度を測定したところ、それぞれ300、 $1 \times 10^{-8} \text{ cm}^2/\text{cm}^2$ (1V印加時)という良好な結果が得られた。

【0021】 RuO_2 2の表面が酸素分圧の低い熱CVD法で成膜された SrTiO_3 1で覆われているため、以降は活性酸素を用いるECR-CVD法による成膜を行っても RuO_4 の生成が抑えられる。

【0022】したがって($\text{Ba}, \text{Sr})\text{TiO}_3$ 3層中へRuの混入は抑制される。 RuO_2 2表面の SrTiO_3 1は膜厚が薄くさらに酸素が欠乏しているため導電性を示し、この上に誘電体である($\text{Ba}, \text{Sr})\text{TiO}_3$ 3を積層しても全体の誘電率を下げることはない。

【0023】

【発明の効果】本発明の薄膜キャパシタ及びその製造方法によれば、 RuO_2 上に酸素欠乏層を設け、この上に酸化物誘電体薄膜を積層することにより、この酸化物誘電体薄膜中へのRuの混入が抑制され、下部電極に RuO_2 を用いた場合においても高誘電率でリーク電流の低い薄膜キャパシタ及びその製造方法が得られる。

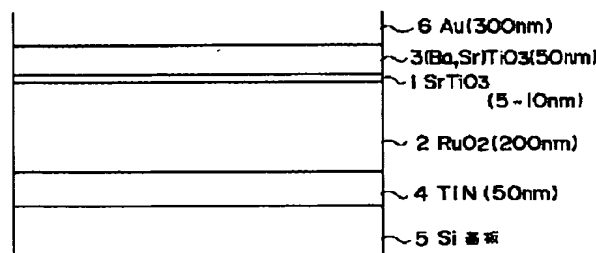
【図面の簡単な説明】

【図1】本発明の薄膜キャパシタの一実施例を示す断面図である。

【符号の説明】

- 1 酸化物誘電体層 (SrTiO_3)
- 2 下部電極 (RuO_2)
- 3 酸化物誘電体薄膜 ($(\text{Ba}, \text{Sr})\text{TiO}_3$)
- 4 バリア層 (TiN)
- 5 Si基板
- 6 上部電極 (Au)

【図1】



フロントページの続き

(51)Int.Cl.⁶

H O 1 L 21/822

識別記号

庁内整理番号

F I

技術表示箇所